

437 40TFT

01-185522

Jul. 25, 1989

L8: 13 of 20

SUBSTRATE FOR DRIVING DISPLAY DEVICE

INVENTOR: MITSUSHI IKEDA, et al. (1)

ASSIGNEE: **TOSHIBA** CORP

APPL NO: 63-7401

DATE FILED: Jan. 19, 1988

PATENT ABSTRACTS OF JAPAN

ABS GRP NO: P949

ABS VOL NO: Vol. 13, No. 471

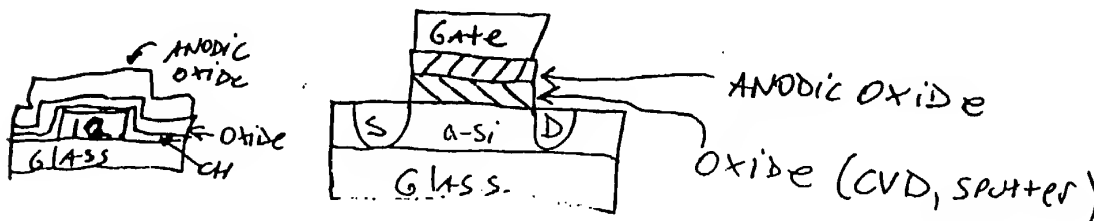
ABS PUB DATE: Oct. 25, 1989

INT-CL: G02F 1/133; H01L 27/12; H01L 29/78

ABSTRACT:

PURPOSE: To prevent the defective inter-layer insulation by pinholes of the gate insulating film of a **TFT** by laminating and providing a semiconductor film, gate insulating film and gate from an insulating substrate side onto the **TFT** and disposing an **anodized** film of a metal between the gate insulating film and the gate.

CONSTITUTION: The **thin** **film** **transistor** (**TFT**) is formed by laminating and providing the semiconductor film 13, the gate insulating film 14.sub.1 and the gate from the insulating substrate 11 side thereon and disposing the **anodized** film 14.sub.2 of the metal between the gate insulating film 14.sub.1 and the gate. The semiconductor film 13 is amorphous silicon and the **anodized** film 14.sub.2 of the metal is the **anodized** film of Ta and alloy contg. the Ta. The gate insulating film 14.sub.1 is a deposited film formed by plasma CVD or sputtering. Since the **anodized** film 14.sub.2 of the **TFT** has no pinholes at all, an electrical short circuit is prevented by the **anodized** film 14.sub.2 even if the gate insulating film 14.sub.1 has a pinhole. The electrical short circuit between the gate and source-drain electrodes or between an address line and data line is thereby prevented.



③ 日本国特許庁(JP)

⑩ 特許出願公開

③ 公開特許公報(A) 平1-185522

④ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 平成1年(1989)7月25日

G 02 F 1/133

3 2 7

7370-2H

H 01 L 27/12

3 1 1

A-7514-5F

29/78

G-7925-5F 審査請求 未請求 請求項の数 1 (全7頁)

⑨ 発明の名称 表示装置駆動用基板

⑪ 特 願 昭63-7401

⑫ 出 願 昭63(1988)1月19日

⑬ 発 明 者 池 田 光 志 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑭ 発 明 者 小 川 聖 子 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑮ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑯ 代 理 人 弁 理 士 井 上 一 男

明 細 書

1. 発明の名称

表示装置駆動用基板

2. 特許請求の範囲

(1) 絶縁性基板上に形成された複数のアドレス配線と、このアドレス配線に絶縁的に交差し交差部を形成する複数のデータ線と、これら交差部近傍に配置された画素電極と、前記交差部に調整して配置されており、前記アドレス線に電気的接続されたゲート、前記データ線に電気的接続されたドレイン、前記画素電極に電気的接続されたソース電極とからなる薄型トランジスタとから構成された表示装置駆動用基板において、前記薄型トランジスタは前記絶縁性基板側から半導体膜、ゲート絶縁膜、およびゲートを形成して有し、ゲート絶縁膜とゲート間に金属の薄層酸化膜を配置してなることを特徴とする表示装置駆動用基板。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明はアクティブマトリックス型表示装置駆動用基板に関する。

(従来の技術)

近年、非晶質シリコン膜(以下a-Si膜と略称)を用いた薄型トランジスタ(以下TFTと略称)をスイッチング素子として用いたアクティブマトリックス型液晶表示装置が注目されている。これは、廉価なガラス基板が利用できるために、大面積、高解像、高画質、低価格等が達成できる可能性があるからである。

第3図に TFTアレイを用いたディスプレイの等価回路を示す。この第3図において、31(31₁, 32₁, ... 31_n) は行方向のTFT33のゲート電極を共通にドライブするアドレスライン、32(32₁, 32₂, ... 32_n) はディスプレイ信号を列方向のTFT 33のソースに送るデータラインである。TFT 33はアドレスライン31とデータライン32の各クロスポイントに対応した画素毎に用いられ、各ドレイン電極は表示素子35と共にキャパシタ34にも接続されている。表示素子35は例えば液晶やエレクトロルミネッセン

ス素子である。具体的に液晶ディスプレイパネルを例にとると、アドレスライン31、データライン32、トランジスタ33およびキャパシタ34を積層形成した図面図層基板と、これに対向する透明電極を全面に形成した基板との間に液晶層を挟持することにより構成される。このようなディスプレイパネルはアドレスライン毎にデータを書き込む積層方式で駆動され、表示素子35をデューティ比ほぼ100%で駆動できる利点がある。なお、上記構成でキャパシタ34は付けられないこともある。

次に、第4図にこの種のディスプレイの具体的な構造を示す。第4図において、ガラス基板41の上にアドレス線及びゲートとなる配線パターン42(42₁、42₂)を形成し、ゲート絶縁層43、a-Si 44を堆積し、a-Siの島を形成する。次にソース・ドレイン電極、データ線および表示電極となる配線45(45₁、45₂)を形成する。

この種のディスプレイを大面積、高解像化するとともに画素数の数は非常に多くなり、欠陥で作ることば困難となる。これらの欠陥の主な原

因としては、(a)アドレス線とデータ線の層間ショート、(b)配線の開放、(c)トランジスタの欠陥等がある。

しかし、ディスプレイの点欠陥がある程度許されるならば配線開放や、トランジスタの欠陥は余り大きな問題とはならない。例えば、第3図において、アドレスライン31が途中の一点で切断されても、両方向から信号を入れることにより、多くても一点の欠陥となるだけである。しかし、多層配線間の短絡は、縦横2本の線欠陥を発生させるために重大な問題となる。

このような層間短絡は、熱酸化膜が利用できる結晶シリコンと異なるa-Si TFTでは絶縁で形成できるスパッタやCVDで形成しなければならないため、絶縁膜の品質が劣るため発生する。このような絶縁膜のショートをなくすためには、第4図に示すように、ゲート金属の表面に熱酸化を施して形成される熱酸化膜を用いることが有効なことが特開昭60-54478号公報に報告されている。

しかし、ディスプレイの解像度が向上してマス

クアライメントに対する要求精度が向上したときには、このようなスタガ型では対応できない。そこで第5図に図面図で示すコプラナ型を用いてセルフアライン構造にすることにより合せ精度はほぼ完全にできる。なお、第5図に示すようにコプラナ型TFTの構造は、ガラス基板51上に交互に、1層目データ配線52、a-Si層53、ゲート絶縁層54、およびゲート電極55が積層して形成されており、層間絶縁層57を介して2層目アドレスデータ配線59が設けられている。また、TFT部でゲート部を除くa-Si層53にドーピングによって形成されたa⁺a-Si層58によってソース、ドレイン電極部が構成されており、ゲート電極55にはITO表示電極56が積層されている。また、第6図に図面図で示すスタガ型TFTはアドレスラインを2層目の金属で形成することから金属層を厚く形成でき、アドレスライン抵抗を低減できる。しかし、このようにゲート電極を上に配置した場合には、第4図に示すTFTのゲート電極の表面を熱酸化化しても、下層の熱酸化化されていない金属部分がa-

Si層と短絡するため、層間短絡を防止することはできない。このため、コプラナ型やスタガ型TFTで層間短絡をなくすことは困難であった。

(発明が解決しようとする課題)

以上の如く、従来のコプラナ型やスタガ型のゲート上置き型のTFTではゲート絶縁膜のピンホールによる層間短絡不良を防止するための重大な課題がある。

この発明は以上の従来の表示装置用基板における層間のゲート上置き型TFTのゲート絶縁膜のピンホールによる層間短絡不良を対策することを目的とする。

(発明の構成)

(課題を解決するための手段)

この発明にかかる表示装置用基板は、絶縁性基板上に形成された複数のアドレス配線と、このアドレス配線に絶縁的に交差し交差部を形成する複数のデータ線と、これら交差部に配置された画素電極と、前記交差部に隣接して配置されており、前記アドレス線に電気的に接続されたゲ-

ト、前記データ線に電気的接続されたドレイン、前記両面電極に電気的接続されたソース電極とからなる両端トランジスタとから構成された表示装置用基板において、前記両端トランジスタは前記絶縁性基板側から半導体膜、ゲート絶縁膜、およびゲートを覆用して有し、ゲート絶縁膜とゲート面に金属の同極酸化膜を配置してなることを特徴とするものであり、半導体膜がアモルファスシリコンであること、金属の同極酸化膜がTa、およびTaを含む合金の同極酸化膜であり、ゲート絶縁膜がプラズマCVD、またはスパッタリングによる堆積膜である。

(作用)

この発明にかかるディスプレイは TFTの同極酸化膜にはピンホールが皆無であるので、ゲート絶縁膜にピンホールがあっても同極酸化膜により電気的短絡が防止され、ゲートとソース・ドレイン電極間、またはアドレス線とデータ線間の電気的短絡を防止する。

(実施例)

スマドープしてa-Si領域16を形成したのち、同極絶縁膜17をプラズマCVDにより堆積する。さらに、厚厚1500Åの表示用ITO電極18 (Indium Tin Oxide)をスパッタリングにより形成する。次にコンタクトホールを開け、厚厚1μmのTa層をスパッタリングで堆積し、ソース、ドレイン、ゲートおよびアドレス配線、データ配線を形成してディスプレイが得られる。なお、上記について図1面に示される18は2層目アドレスデータ配線層である。

次に、第2面に示す第2の実施例のディスプレイにつき形成順序に従って構成を説明する。ガラス基板21上にスパッタリングによって厚厚1500ÅのCrで形成されたデータ配線22を堆積し、プラズマCVDにより厚厚3000Åのa-Si層23を堆積する。次に、Cr/a-Si膜層上にエッチングを施してデータ配線およびソース、ドレイン線を形成した後、プラズマCVDにより厚厚3000Åのa-Si層24を堆積し、エッチングを施しa-Siの島を形成する。次に、プラズマCVDにより厚厚3000ÅのSiO₂層で形成されたゲート絶縁膜25、を堆積する。ついで、

以下、この発明の第1の実施例につき第1面を参照して説明する。図1面aに平面図、第1面b、cにaの1A線、3B線に沿う断面図で示す。図示のように、ガラス基板11の上にクロム層を1500Å厚に堆積しデータライン絶縁膜12が形成され、次にプラズマCVDにより厚厚3000Åのa-Si層13、SiO₂層で厚厚2000Åに形成されたゲート絶縁膜14、が堆積され、さらにスパッタリングにより厚厚800ÅのTa層が形成されている。このTa層はクエン酸0.1%水溶液中で0.51/cm²、100Vまで同極酸化を施し、厚厚2000ÅのTaO_x層14_aが形成される。次にスパッタリングにより厚厚2000ÅのCr層を被着し、形成されたCr/TaO_x/SiO₂/a-Siの全層に選択エッチングを施しTFT部とアドレス線とデータ線の交差部の島を露ける。次に、上記Cr層をフェリシアン化カリウムでエッチング、TaO_x層14_aをケミカルドライエッチング、SiO₂のゲート絶縁膜14、をHFで中央エッチングしてゲートパターンを形成する。ここで、15はクロム層で形成されたゲート電極である。次に、a-Si層13の表面をプラ

スパッタリングにより厚厚800ÅにTa層を堆積したのち、クエン酸水溶液中で同極酸化を施しTaO_x層25、とする。次に、スパッタリングにより厚厚1500ÅのITO表示電極26を堆積し、両面電極を形成する。ついで、TaO_x/SiO₂にデータ線用のコンタクトホールを開口したのちにゲートおよびアドレスラインを厚厚1μmのTa層で形成してディスプレイが得られる。

飯上において、構造がa-Si/SiO₂/TaO_x/ゲートの構造が同じであれば、ソース、ドレインの構造がどのようなであっても同様の効果がある。例えば第2面dに示すように、a-Si/SiO₂/TaO_xと堆積してパターンニングしてからSiO₂を堆積して形成してもよい。

次に、同極酸化膜はTaO_xに限らず、AlO_x、TiO_xでもよい。また、同極酸化膜が他の方法で作成された絶縁膜に挟まれていてもよい。

次に、配線間の電気的短絡についてデータ線間をすべて短絡させて各アドレス線との短絡の割合を測定を行なった。そして、図1面に示すコブラ

ナ型、第2図に示すスタッグ型共に TaOx を設けない場合には短絡の割合が約50%あったが、層厚2000Åの TaOx を設けた場合には0~1%に著減するという顕著な効果を得られた。

(発明の効果)

本発明によれば、短欠陥の原因となるショートがほぼ等となり、ディスプレイの画質が大幅に向上でき、且つ、製品の歩留りが顕著に向上できる。

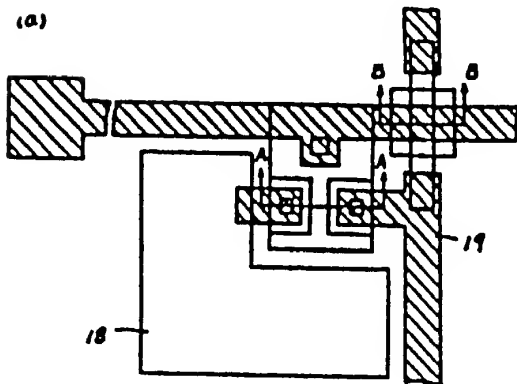
4. 図面の簡単な説明

図1図は本発明の図1の実施例の表示装置駆動用基板にかかり、aは平面図、bおよびcはいずれも断面図、図2図は図2の実施例にかかり、aは平面図、bおよびcはいずれも断面図、図3図はアクティブマトリックス型ディスプレイの等価回路図、図4図は絶縁酸化膜を使った従来例の表示装置駆動用基板の断面図、図5図はコプラナ型TFTを用いた従来例の表示装置駆動用基板にかかり、aは平面図、bおよびcはいずれも断面図、図6図はスタッグ型TFTを用いた従来例の表示装置駆動用基板にかかり、aは平面図、bおよびc

はいずれも断面図である。

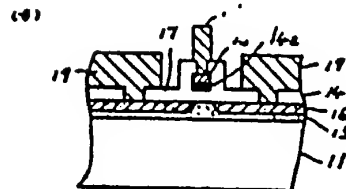
- 11, 21-----ガラス基板
- 12, 22-----データライン接続膜
- 13, 24-----a-Si層
- 14₁, 25₁-----ゲート絶縁膜
- 14₂, 25₂----- TaOx 層
- 15-----ゲート電極
- 16, 23-----n⁺a-Si層
- 17-----層間絶縁膜
- 18, 26-----ITO表示電極
- 19, 27-----2層目TFTスチーフ配線

代理人 弁理士 井 上 一 男

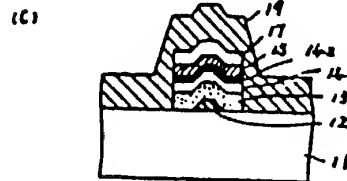


18: ITO 表示電極
19: 2層目TFTスチーフ配線

図 1 図 (4a1)

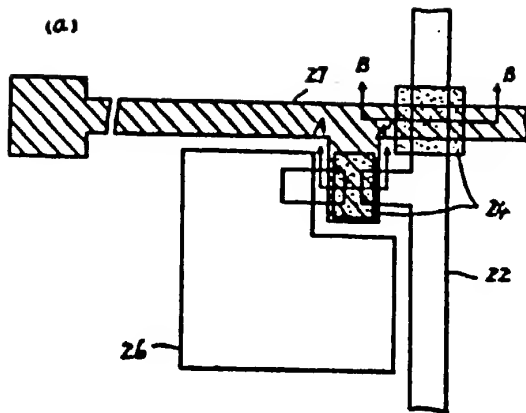


11: ガラス基板 13: a-Si層
14₁: T-1絶縁膜 14₂: TaOx 層
15: ゲート電極 16: n⁺a-Si層
17: 層間絶縁膜
19: 2層目TFTスチーフ配線



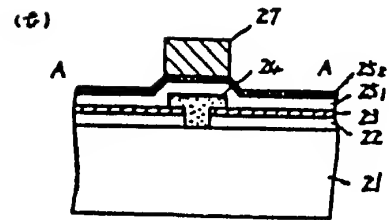
12: データライン接続膜

図 1 図 (4a2)

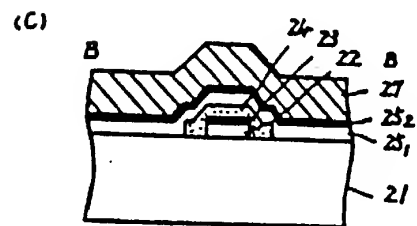


22: 7-7 配線 24: a-Si層
27: 7F12 配線 26: ITO 表示電圧

第 2 圖 (續前)



21: ガラス基板 23: $n^+a\text{-Si}$ 層
25₁: $\gamma\text{-t絶縁膜}$ 25₂: TaO_x 層



第 2 頁 (402)

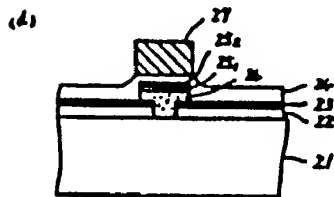
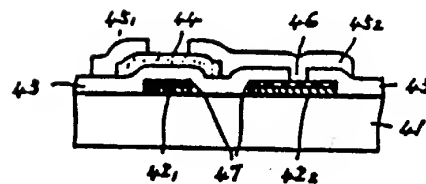
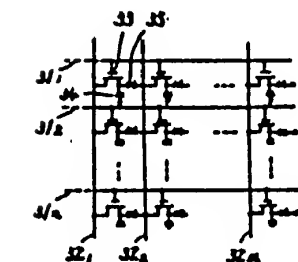


圖 2 圖 (403)

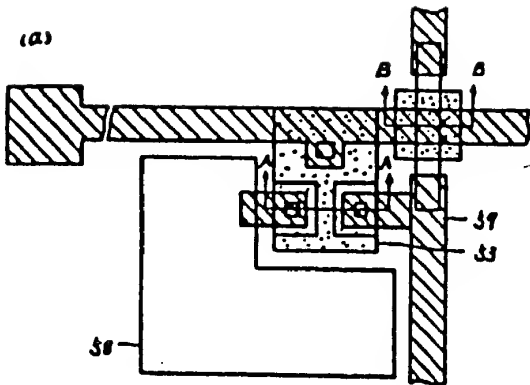


41: ガラス基板
42: トート電極 兼 接地ライン
43: キャパシタ電極 兼 接地ライン
44: γ -SiO₂膜
45: ソース電極 兼 ゲートライン
46: ドレイン電極 兼 キャパシタ電極
47: 陽極酸化膜



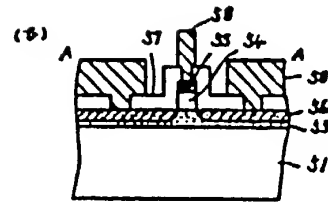
31. - 31a : TPL291N
32. - 32a : T-7 91N
33 : TPT
34 : TPT
35 : TPT

3

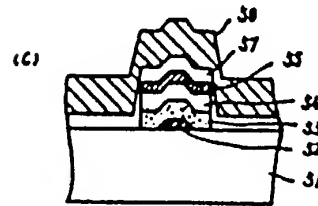


53: a-Si層 58: ITO表示電極
57: 2層目TFLSゲ-7配線

第 5 図 (a1)

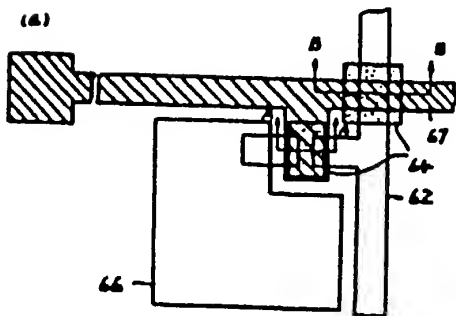


51: ガラス基板 53: a-Si層
54: ゲ-7絶縁膜 55: ゲ-7電極
56: n+ a-Si層 57: 層間絶縁膜

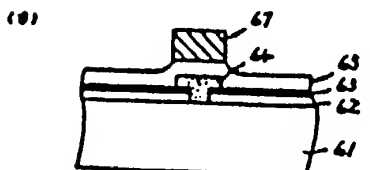


52: 1層目ゲ-7配線

第 5 図 (a2)

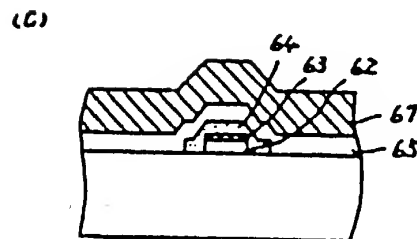


62: ゲ-7配線 64: a-Si層
66: ITO表示電極 67: TFLS配線



61: ガラス基板 62: ゲ-7配線
63: n+ a-Si層 64: ゲ-7絶縁膜

第 6 図 (a1)



第 6 図 (a2)

特開平1-185522(7)

手 続 補 正 書 (方式)

83.5.24

昭和 年 月 日

特許庁長官 小 川 邦 夫 閣

1. 事件の表示

昭和63年 特 許 願 第007401号

2. 発明の名称

表示図解用基板

3. 補正をする者

事件との関係 特許出願人

(387) 株式会社 東芝

4. 代 理 人

〒144

東京都大田区東山4丁目41番11号

第一信託ビル

井上特許事務所内

電話736-3558



井 上 - 男

5. 補正命令の日付

昭和63年3月31日(発出日 昭和63年4月26日)

6. 補正の対象

明細書の図面の簡単な説明の欄

7. 補正の内容

明細書の第11頁第13行目の「平面図、bおよび
cはいずれも断面図。」を「平面図、b、cおよび
dはいずれも断面図。」に補正する。

以 上